

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002076347 A**

(43) Date of publication of application: **15.03.02**

(51) Int. Cl.

**H01L 29/786**  
**H01L 27/08**  
**H01L 27/12**

(21) Application number: **2000254958**

(22) Date of filing: **25.08.00**

(71) Applicant: **TOSHIBA CORP**

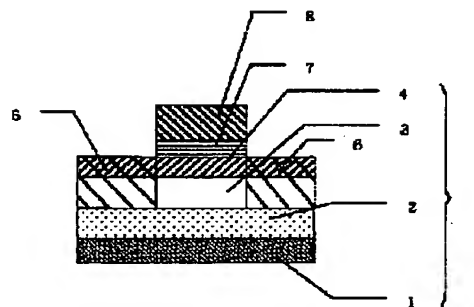
(72) Inventor: **TEZUKA TSUTOMU**  
**SUGIYAMA NAOHARU**

**(54) SEMICONDUCTOR DEVICE, SEMICONDUCTOR  
SUBSTRATE AND ITS MANUFACTURING  
METHOD**

(57) Abstract

PROBLEM TO BE SOLVED: To provide a structure of a field effect transistor for realizing an integrated circuit capable of remarkably reducing a power consumption and rapidly operating as compared with an integrated circuit constituted of a conventional SI-MOSFET.

SOLUTION: A substrate 5 is obtained by forming an insulating film 2 on a supporting base 1 and laminating an SiGe buffer layer 3 (first semiconductor layer) of a high Ge composition of 30 atm.% or more and a channel layer (second semiconductor layer) made of an SiGe layer containing more Ge than that of the Ge layer or the first semiconductor layer on the film 2. A source region and a drain region 6 are formed on the substrate 5, and connected to a source electrode (not shown) and a drain electrode (not shown), respectively.



COPYRIGHT: (C)2002,JPO

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-76347

(P2002-76347A)

(43) 公開日 平成14年3月15日 (2002.3.15)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト* (参考)
H 0 1 L 29/786		H 0 1 L 27/08	3 3 1 E 5 F 0 4 8
27/08	3 3 1	27/12	Z 5 F 1 1 0
27/12		29/78	6 1 8 B
			6 1 7 T
			6 1 8 G

審査請求 未請求 請求項の数13 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2000-254958 (P2000-254958)

(22) 出願日 平成12年8月25日 (2000.8.25)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 手塚 勉

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 杉山 直治

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(74) 代理人 100083161

弁理士 外川 英明

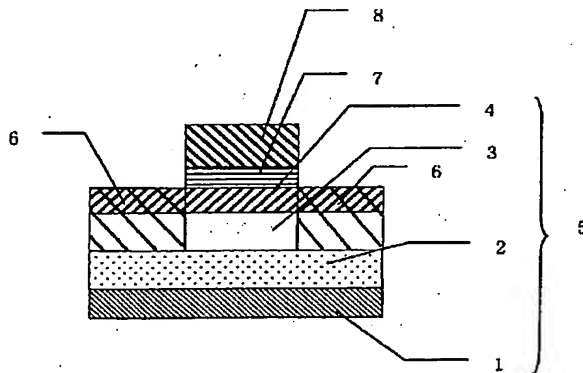
最終頁に続く

(54) 【発明の名称】 半導体装置、半導体基板およびその製造方法

## (57) 【要約】

【課題】従来のSi-MOSFETで構成された集積回路に比べ、大幅に低消費電力・高速動作が可能な集積回路を実現するための電界効果トランジスタの構造を提供する。

【解決手段】支持基板1上に絶縁膜2が形成され、その絶縁膜2上にGe組成が30atm%以上の高Ge組成のSiGeバッファ層3（第1の半導体層）と、Ge層もしくは第1の半導体層より多くのGeを含むSiGe層からなるチャネル層4（第2の半導体層）が積層されてなる基板5が用いられており、前記基板5にはソース領域及びドレイン領域6が形成され、それぞれソース電極（図示せず）、ドレイン電極（図示せず）に接続されている。



## 【特許請求の範囲】

【請求項1】 支持基体と、前記支持基体上に形成された絶縁膜と、前記絶縁膜上に形成され、かつソース領域及びドレイン領域が形成された半導体層と、前記半導体層上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを備えた電界効果トランジスタを備える半導体装置において、前記半導体層は、前記絶縁膜と接する側に設けられたGe組成が30atm%以上のSiGe領域と、前記絶縁膜と反対側の表面に設けられた、前記SiGe領域より多くGeを含むSiGeもしくはGeのチャネル領域を備えていることを特徴とする半導体装置。

【請求項2】 支持基体上に、絶縁膜、Ge組成が30atm%以上のSiGe層からなる第1の半導体層、及び前記第1の半導体層より多くGeを含むSiGe層もしくはGe層からなる第2の半導体層が順次積層される基板上に、ゲート絶縁膜、ゲート電極が順次積層され、かつ前記第1及び第2の半導体層にはソース領域及びドレイン領域が形成されてなる電界効果トランジスタを備えることを特徴とする半導体装置。

【請求項3】 前記第1の半導体層の転位密度が $10^6 \text{ cm}^{-2}$ 以下であることを特徴とする請求項2記載の半導体装置。

【請求項4】 前記第1の半導体層のGe組成の深さ方向分布が実質的に均一であることを特徴とする請求項2記載の半導体装置。

【請求項5】 前記第2の半導体層とゲート絶縁膜との間に、Si層が存在することを特徴とする請求項2記載の半導体装置。

【請求項6】 前記Si層の厚さが2nm以下であることを特徴とする請求項2記載の半導体装置。

【請求項7】 支持基体上に、絶縁膜、Ge組成が30atm%以上のSiGe層である第1の半導体層、前記第1の半導体層より多くGeを含むSiGe層もしくはGe層である第2の半導体層が順次積層されてなる半導体基板。

【請求項8】 支持基体上に、絶縁膜と、SiとGeとを含む半導体層とが順次積層された積層構造を形成する工程と、前記半導体層に酸化処理を施すことによりSi酸化膜と、前記半導体層より多くGeを含むSiGe層を生成せしめる工程とを行うことを特徴とする半導体基板の製造方法。

【請求項9】 前記SiとGeを含む半導体層はエピタキシャル成長により形成されることを特徴とする請求項8記載の半導体基板の製造方法。

【請求項10】 前記酸化処理は、不活性ガスにより50%以下の濃度に希釈された酸素ガスをを用いて熱酸化を行うことを特徴とする請求項8記載の半導体装置の製造方法。

【請求項11】 支持基体上に絶縁膜を介して形成され

たSi層またはSiGe層上にSiとGeを含む半導体層を形成する工程と、前記半導体層に酸化処理を施すことによりSi酸化膜と、前記半導体層より多くGeを含むSiGe層を生成せしめる工程を行うことを特徴とする半導体基板の製造方法。

【請求項12】 前記SiとGeを含む半導体層はエピタキシャル成長により形成されることを特徴とする請求項11記載の半導体基板の製造方法。

【請求項13】 前記酸化処理は、不活性ガスにより50%以下の濃度に希釈された酸素ガスをを用いて熱酸化を行うことを特徴とする請求項11記載の半導体基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、高速、低消費電力の電界効果トランジスタ、特にひずみGeもしくはひずみSiGeをチャネル層として有する電界効果トランジスタを備える半導体装置、前記半導体装置を得るために必要な半導体基板、及び前記半導体基板の製造方法に関する。

## 【0002】

【従来の技術】基板に平行な面内で圧縮ひずみを受けたGeの正孔および電子移動度は、適切な面方位を選択することにより、p、n両チャネルにおいてSiの正孔および電子移動度を上回る事が知られている。

【0003】図13は、このひずみGeをチャネルとして用いた従来技術のp型トランジスタ構造の1つである（第1の従来例）。本構造は特開平2-196436号公報に開示されている。本構造は、n型Si基板6.1上にp-Si<sub>0.5</sub>Ge<sub>0.5</sub>バッファ層62、i-Si<sub>0.5</sub>Ge<sub>0.5</sub>Geスペーサ層63、i-Geチャネル層64、i-Si<sub>0.5</sub>Ge<sub>0.5</sub>Geスペーサ層65、p-Si<sub>0.5</sub>Ge<sub>0.5</sub>層66、i-Si<sub>1-x</sub>Ge<sub>x</sub>層（x=0.5→0）（SiGeキャップ層）67、Tiショットキーゲート電極68が積層されている。また、ソース・ドレイン領域69がゲート電極68直下の両端に形成されている。

【0004】本構造は、いわゆる変調ドープFET (MODFET)であり、i-Geチャネル層64から離れたドーピング層であるp-Si<sub>0.5</sub>Ge<sub>0.5</sub>バッファ層62、i-Si<sub>0.5</sub>Ge<sub>0.5</sub>Geスペーサ層65からチャネル層64にキャリアが供給されるため、ドーピングされた不純物による散乱で正孔移動度が低下する事はない。したがって、ひずみGeの正孔の高移動度を生かした高速動作が可能であるとされている。

【0005】この構造と類似の構造はE. Murakami et al., IEEE Transaction on Electron Devices, Vol. 41, p. 857 (1994)、およびY. H. Xie et al., Applied P

ysics Letters Vol. 63, p. 2263 (1994) においても開示されている。

【0006】また、別の従来技術として、面内に引張りひずみをうけたひずみSiをチャネルとして用いたトランジスタも公知となっている。ひずみSiのキャリア移動度も、上記のひずみGeと同様に、p、n両チャネルにおいてSiを上回る事が知られているので、これらのトランジスタにおいてはSiチャネルのトランジスタに比べ同じゲートサイズにおいてより大きな駆動力が得られる。その中で、もっとも実用性が高いと考えられるトランジスタ構造を図14に示す(第2の従来例)。

【0007】本構造は、本発明者を含む研究グループによって提案および動作実証された構造である(T. Mizuno, S. Takagi, N. Sugiyama, J. Koga, T. Tezuka, K. Usuda, T. Hatakeyama, A. Kurobe, and A. Toriumi, IEDM Technical Digests p. 934 (1999) )。

【0008】本構造ではSiまたはSiGe層71上に埋め込み酸化膜72、SiGeバッファ層73、ひずみSiチャネル層74、ゲート酸化膜75、ゲート電極76が順次積層されてSiGeバッファ層73、ひずみSiチャネル層74にソース・ドレイン領域77が形成されている。

【0009】本構造では、ひずみSiチャネル74による高キャリア移動度のほか、埋め込み酸化膜72の存在により、寄生容量の低下や、不純物濃度を低く抑えたまま微細化が出来るので駆動力が上げられる、等のメリットを併せ持つ。したがって、本構造でCMOS論理回路を構成すれば、より高速かつ低消費電力の動作が可能となる。

【0010】また、図14に示したような酸化膜上のSiGeバッファ層73のごとく酸化膜上に高Ge組成のSiGe層を有する半導体基板の製造方法として、

(1) 薄膜SOI (Silicon on Insulator) 上にSiGeをエピタキシャル成長する方法 [A. R. Powell et al., Appl. Phys. Lett. 64, 1856 (1994)]、(2) Si基板上に形成した酸化膜と、Si基板上にエピタキシャル成長したSiGeの積層構造を対向してはりあわせ、後にSiGe積層構造の一部を除去する方法 [登録特許第3037934号、2908787号]、(3) 前記第2の従来例を作成する過程で用いられた酸素イオン打ち込みとアニールによる(SIMOX法)酸化膜上のSiGe結晶の製造方法などが提案されている。

【0011】

【発明が解決しようとする課題】まず、第1の従来例を実用に供する際に生じる問題点は、ソース・ドレインの

接合リークが大きいという問題である。この第1の従来例の構造においては、SiGeバッファ層62の厚さは500nmというかなり大きい値になっているが、他の類似の従来例においても数100nmから1μm程度以上の厚さとなっている。これはSiGeバッファ層62の転位密度を充分低減し、もってチャネル層64に及ぶ転位密度を低減させるために必要な厚さである。このとき、ソース・ドレイン拡散領域69域下部とSiGeバッファ層62との界面には、 $p^+ - n$ 接合面(pチャネルの場合)または $n^+ - p$ 接合面(nチャネルの場合)が形成される。

【0012】ここで、SiGeバッファ層62のGe組成は50atm%程度以上と高いため、バンドギャップの値がSiのバンドギャップの値の75-60%程度になる。pn接合の逆バイアス飽和電流は、拡散電流と再結合電流の和で表される。それぞれの成分は真性キャリア密度の2乗、1乗にそれぞれ比例する。真性キャリア密度は、バンドギャップエネルギーが小さいほど大きくなり、例えばGeの真性キャリア密度はSiの千倍以上大きな値である。したがって、第1の従来例におけるソース・ドレイン領域69とSiGeバッファ層62の間の接合リークあるいはオフ電流はSiに比べ2桁から4桁も大きくなるという問題が生じる。SiGeバッファ層62中の転位を介したリーク電流も考えると、さらにオフ電流は大きくなる。これは、大規模な回路を形成したときの消費電力の大幅な増大という問題を引き起こす。もし仮に、このリークを低減するため、Ge組成の低いSiGeバッファ層62を使うと、今度はGeチャネル層64との間の格子定数差が大きくなり、チャネルに転位が生じるか、あるいはひずみを開放するために表面に凹凸が出来てしまう。したがって、第1の従来例においては、Ge組成が50atm%以上の厚いSiGeバッファ層62を使用せざるを得ないため、ソース・ドレイン間、あるいはドレイン-基板間のリークはSiベースのトランジスタに比べて数桁大きくなる事は避けられない。

【0013】次に、第2の従来例の問題点について述べる。図3(b)に、第2の従来例のチャネル近傍におけるバンド構造を示す。図3(b)から分かるように、ひずみSiチャネル層74の価電子帯のエネルギーはSiGeバッファ層73の価電子帯端のエネルギーよりも低いため、正孔チャネルを形成するためにゲートに負のバイアスをかけると、表面チャネルが形成するより先にひずみSiチャネル層74とSiGeバッファ層73界面に埋め込みチャネルが形成されてしまう。

【0014】図15に第2の従来例のトランジスタとSi-MOSFETの電流( $\log(I_d)$ -電圧( $V_g$ )曲線を示す。前述の埋め込みチャネルの存在により、図15に示すように、閾値電圧付近の特性が悪化する(Sファクターが増加する)。この埋め込みチャネル

の影響はひずみSiチャンネル層74の膜厚が薄くなるほど顕著になる。即ち、微細化するほど影響が大きくなる。したがって、微細MOSFETを作製した際に、閾値電圧を低く設定する事は難しい。

【0015】また、図16に第2の従来例のトランジスタとSi-MOSFETの( $V_g$ (ゲート電圧)- $V_{th}$ (閾値電圧))-電流特性を示す。この埋め込みチャンネルの移動度はSiGeバッファ層における合金散乱の影響で移動度が低い。従って、図16に示すように、通常の表面チャンネルSi-MOSFETの駆動力に比べ、第2の実施例においては、低ゲート電圧においては駆動力が低くなってしまう。以上の理由により、第2の従来例においては低消費電力化が困難である。

【0016】本発明は、ソースドレイン間、あるいはドレイン、基板間のリーク電流が小さく、また、低消費電力化が可能な電界効果トランジスタを提供することを目的とする。

【0017】また、本発明は上記電界効果トランジスタが容易に得られる半導体基板を提供することを目的とする。

【0018】また、酸化膜上のSiGe層の製造方法についてみると、まず(1)の方法においては、下地のSOIが必要なので、その分酸化膜上の半導体層の厚さが増加し、FETを作製する際の短チャンネル化の妨げとなる。また、SOI上にSiGeをエピタキシャル成長し、緩和させるためにアニール処理すると、SOI層中に転位が生じる。

【0019】また、(2)の方法においては、Si基板上に数 $\mu\text{m}$ の厚さのSiGeバッファ層を成長し、その上に所望の組成のSiGe薄膜を形成している。この場合、必然的にクロスハッチと呼ばれる $1\mu\text{m}$ 程度の周期の表面のうねりが生じる。更に、バッファ層中に残留している転位を完全に取り除く事は難しく、表面付近で $10^6\text{cm}^{-2}$ 程度の密度で転位が生じてしまうという問題がある。Ge組成が高くなるほど、転位密度は増加する傾向がある。

【0020】(3)においてはGe組成を高くするとアニール時にGeが酸素と結合して蒸発し連続的な埋め込み酸化膜が形成されなかったり表面が荒れてしまったりする。

【0021】本発明は、酸化膜上にSiGe層を製造するにあたりGe組成を高く(30atm%以上)しても、酸化膜上の積層構造膜厚の増加、転位の発生、あるいは表面の荒れを抑制することができる半導体基板の製造方法を提供することを目的とする。

【0022】

【課題を解決するための手段】本発明は、支持基体と、前記支持基体上に形成された絶縁膜と、前記絶縁膜上に形成され、かつソース領域及びドレイン領域が形成された半導体層と、前記半導体層上に形成されたゲート絶縁

膜と、前記ゲート絶縁膜上に形成されたゲート電極とを備えた電界効果トランジスタを備える半導体装置において、前記半導体層は、前記絶縁膜と接する側に設けられたGe組成が30atm%以上のSiGe領域と、前記絶縁膜と反対側の表面に設けられた、前記SiGe領域より多くGeを含むSiGeもしくはGeのチャンネル領域を備えていることを特徴とする半導体装置である。

【0023】本発明は、支持基体上に、絶縁膜、Ge組成が30atm%以上のSiGe層からなる第1の半導体層、及び前記第1の半導体層より多くGeを含むSiGe層もしくはGe層からなる第2の半導体層が順次積層されてなる基板上に、ゲート絶縁膜、ゲート電極が順次積層され、かつ前記第1及び第2の半導体層にはソース領域及びドレイン領域が形成されてなる電界効果トランジスタを備えることを特徴とする半導体装置である。

【0024】また、本発明は、支持基体上に、絶縁膜、Ge組成が30atm%以上のSiGe層である第1の半導体層、前記第1の半導体層より多くGeを含むSiGe層もしくはGe層である第2の半導体層が順次積層されてなる半導体基板である。

【0025】また、本発明の第1の半導体基板の製造方法は、支持基体上に、絶縁膜と、SiとGeとを含む半導体層とが順次積層された積層構造を形成する工程と、前記半導体層に酸化処理を施すことによりSi酸化膜と、前記半導体層より多くGeを含むSiGe層を生成せしめる工程とを行うことを特徴とする。

【0026】また、本発明の第2の半導体基板の製造方法は、支持基体上に絶縁膜を介して形成されたSi層またはSiGe層上にSiとGeを含む半導体層を形成する工程と、前記半導体層に酸化処理を施すことによりSi酸化膜と、前記半導体層より多くGeを含むSiGe層を生成せしめる工程を行うことを特徴とする。

【0027】

【発明の実施の形態】本発明に係る電界効果トランジスタは、支持基体と、前記支持基体上に形成された絶縁膜と、前記絶縁膜上に形成され、かつソース領域及びドレイン領域が形成された半導体層と、前記半導体層上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを備えた電界効果トランジスタであって、前記半導体層は、前記絶縁膜と接する側に設けられたGe組成が30atm%以上のSiGe領域と、前記絶縁膜と反対側の表面に設けられた、前記SiGe領域より多くGeを含むSiGeもしくはGeのチャンネル領域を備えている。

【0028】Ge組成が30atm%以上のSiGeとは $\text{Si}_{1-x}\text{Ge}_x$  ( $1 > x \geq 0.3$ )で表される化合物である。

【0029】本発明に係る電界効果トランジスタの一例を示す概略図を図1に示す。支持基体1上に絶縁膜2が形成され、その絶縁膜2上に半導体層が形成されてい

る。絶縁膜2は支持基体1と前記半導体層とを電氣的に絶縁するものであり、例えばSi酸化膜などが挙げられる。前記半導体層は、Ge組成が30atm%以上の高Ge組成のSiGeバッファ層3（第1の半導体層）と、第1の半導体層より多くGeを含むSiGe層もしくはGe層からなるチャネル層4（第2の半導体層）が積層されてなるものが挙げられる。基板5は、前記支持基体1、絶縁膜2、第1の半導体層、及び第2の半導体層が積層してなるものである。前記基板5にはソース・ドレイン領域6が形成され、それぞれソース電極（図示せず）、ドレイン電極（図示せず）に接続されている。さらにゲート絶縁膜7およびゲート電極8が積層されて電界効果トランジスタを構成している。

【0030】すなわち本発明に係る電界効果トランジスタは、絶縁膜2上に高Ge組成のSiGeバッファ層3とGe層もしくはSiGe層からなるチャネル層4が積層されている。それにより、従来問題であったソース・ドレイン間のリーク電流を実用可能なレベルまで抑制する事が出来る。また、GeもしくはSiGeチャネルの高移動度を生かした低消費電力・高速動作が可能な集積回路を得ることができる。

【0031】以下さらに詳細に説明する。

【0032】SiGeバッファ層3上に形成されるチャネル層4にはSiGeバッファ層3とチャネル層4との格子定数の差に起因し結晶構造にひずみが導入される。それによりチャネル層4におけるGeの正孔および電子の移動度がSiの正孔および電子移動度を大幅に上回り、素子を高速化できる。チャネル層4においてはひずみが導入されない場合であっても良く、その場合でも電子、正孔の移動度はSiに比べ十分大きくなる。しかしながらひずみが導入されていた方が電子、正孔の移動度がより高くなる。

【0033】また、図2に、第1の従来技術と本発明に係る電界効果トランジスタにおけるソース領域またはドレイン領域部分のpn接合部分の拡大図を示す。図2(a)は、図13に示す第1の従来例に係る電界効果トランジスタのソース領域又はドレイン領域のpn接合部分の拡大図である。図2(b)は図1に示す本発明に係る電界効果トランジスタの基板におけるソース領域又はドレイン領域のpn接合部分の拡大図である。図2(b)に示す本発明の電界効果トランジスタにおいては、絶縁膜2上に形成されたSiGeバッファ層3とチャネル層4とにソース・ドレイン領域6が形成されている。絶縁膜2の存在により、支持基体へのリーク電流は完全に抑制される。また、pn接合面の面積が大幅に減少すること、およびゲート電圧をかけることによりチャネル層4、SiGeバッファ層3がいずれも空乏化されることにより、ソースドレイン間のリーク電流は第1の従来例に比べ著しく減少する。

【0034】これに対し、図2(a)に示す第1の従来

例の電界効果トランジスタの基板においては、厚い(>500nm)バッファ層62上にi-Geチャネル層64及びSiGeキャップ層67が積層されている。また、ソースあるいはドレイン領域69が形成されている。図2(a)では図2(b)の如くの絶縁膜2が存在しないため、支持基体へのリークが生じる。また、pn接合の面積が大きいこと、バッファ層62中に残存する転移のためソース、ドレイン間のリーク電流は本発明に比べ著しく大きくなる。

【0035】また、図3(a)に、本発明に係る電界効果トランジスタのチャネル層近傍におけるバンド構造を示す。本発明の如くの構成にすると図3(a)から分かるように、チャネル層(Ge)4の価電子帯のエネルギーはSiGeバッファ層( $\text{Si}_{0.3}\text{Ge}_{0.7}$ )3の価電子帯端のエネルギーよりも高くなるため、正孔チャネルを形成するためにゲート電極に負のバイアスをかけると、表面チャネルのみが形成される。したがって第2の従来例の如く埋め込みチャネルの存在しないことにより、閾値電圧付近の特性が悪化せず、閾値電圧を低く設定する事ができる。また、低ゲート電圧における駆動力を高くすることができる。以上の理由により、本発明において低消費電力化が実現できる。

【0036】なお、従来のSi-MOSFETにおいても、同様な構造のSOI基板が使用されているが、これは主に基板-配線間の寄生容量や領域の接合容量を小さくする事による高速化を目的としている。本発明における絶縁膜2の役割は、SiGeもしくはGeチャネル層に対してはオフ電流の抑制であり、実用上本質的であるのに対し、従来のSi-MOSFETに対しては、付加的な機能を与えるに過ぎない。

【0037】本発明の電界効果トランジスタにおいては、SiGeバッファ層3（第1の半導体層）の転位密度が $10^6 \text{ cm}^{-2}$ 以下であることが望ましい。それにより素子あるいはLSIの歩留まりを実用的なレベルにすることが出来る。転位密度はより好ましくは $10^4 \text{ cm}^{-2}$ 以下である。

【0038】また、SiGeバッファ層3（第1の半導体層）のGe組成の深さ方向分布が実質的に均一であるとSiGeバッファ層3中に微欠陥が蓄積しないので転移が発生しにくい。よって転位密度を低減するためにはSiGeバッファ層3（第1の半導体層）のGe組成の深さ方向分布が実質的に均一であることが望ましい。

【0039】本発明の電界効果トランジスタにおいて、チャネル層4（第1の半導体層）とゲート絶縁膜7間にはSiキャップ層が設けられていることが望ましい。これにより電界効果トランジスタの製造工程におけるGe表面の酸化を防ぐ。さらに、ゲート絶縁膜7との界面がGe中に形成される事を防ぎ、もって界面準位の増大を防ぐことができる。さらに、膜厚がSiGeバッファ層3のSiGeに対する臨界膜厚（格子定数の不整合によ

り転位の発生する最小の厚さ)以下であると、転位が発生しない。これらの効果により、キャリアの移動度を高く保つ事ができる。

【0040】また、本発明の半導体基板は、上記本発明に係る電界効果トランジスタを製造するために用いられ、SiGeバッファ層3及びチャネル層4に相当する高Ge組成の層を2層有する半導体基板であり、本発明の半導体基板を用いて電界効果トランジスタを製造すれば、ソースドレイン間、あるいはドレイン-基板間のリーク電流が小さく、また、高速動作、低消費電力化が可能な電界効果トランジスタを提供することができる。

【0041】本発明の半導体基板においては、SiGeバッファ層3(第1の半導体層)の転位密度が $10^6 \text{ cm}^{-2}$ 以下であることが望ましい。それにより半導体装置あるいはLSIの歩留まりを実用的なレベルにすることが出来る。転位密度はより好ましくは $10^4 \text{ cm}^{-2}$ 以下である。

【0042】本発明の半導体基板においては、SiGeバッファ層3(第1の半導体層)のGe組成の深さ方向分布が実質的に均一であることが望ましい。

【0043】また、例えば本発明に係る電界効果トランジスタ用にはSiGeバッファ層として高Ge組成(30atm%以上)のSiGe層が形成された半導体基板が必要である。その高Ge組成のSiGe層を有する半導体基板を製造するために用いられる本発明に係る第1及び第2の半導体基板の製造方法においては、支持基体上に形成された絶縁膜上に直接、もしくは前記絶縁膜に上形成されたSi層またはSiGe層上に、低Ge組成のSiとGe層を含む半導体層を作成し酸化処理、具体的には酸化性雰囲気中で加熱処理することによりSi酸化膜の生成と同時にGeが濃縮された高Ge組成のSiGe層の生成を同時に行うものである。

【0044】すなわち低Ge組成のSiとGe層を含む半導体層に酸化処理を施すことにより、低Ge組成のSiとGe層を含む半導体層の表面からSi原子が選択的に酸化されてSi酸化膜を形成し、さらにGe原子が形成されたSi酸化膜から吐き出され、前記半導体層の内部のSiとGeを含む半導体層中に蓄積される。これは、 $\text{SiO}_2$ のSi-O間の結合が $\text{GeO}_2$ または $\text{GeO}$ のGe-O結合に比べて化学的に安定であるため、酸素原子が優先的にSi原子と結合するためである。したがってGeが濃縮されて高Ge組成のSiGe層とSi酸化膜が生成する。

【0045】このとき生成したSi酸化膜を必要に応じて除去すればよい。さらに必要に応じてSiGeバッファ層の残部や及びチャネル層等を形成する工程を行う。

【0046】本発明の第1及び第2の製造方法によれば、SiとGeを含む半導体層に対し酸化処理、具体的には酸化性雰囲気中で加熱処理することによりGe原子がSiとGeを含む半導体層中で十分に拡散し、生成した

SiGe層中のGe濃度が均一になる。この層を例えば本発明に係る電界効果トランジスタにおけるSiGeバッファ層として用いれば、Ge組成の不均一によるSiGeバッファ層内部のひずみは生じない。その結果、十分格子緩和した上で、転位密度を $10^6 \text{ cm}^{-2}$ 以下に抑制する事が出来る。

【0047】図4、図5を用いてこれを説明する。図4は本発明にかかる半導体基板の製造方法において前記SiとGeを含む半導体層の酸化中のGe組成分布を説明する図である。Ge原子がSiとGeを含む半導体層( $\text{Si}_{1-x}\text{Ge}_x$ )中でGe原子が界面に蓄積するか拡散するかは、大雑把に言えば、単位時間あたりのGeの拡散長と、酸化によってSiGeが消費される厚さ(消費率)の大小関係によってきまると考えてよい。拡散長が消費率より大きければ、GeはSiGe層中に拡散しGe組成は深さ方向に均一になり、逆であれば界面に蓄積する(図4)。

【0048】図5はSi中のGe原子の拡散長と、酸化により単位時間あたりにSiGeが消費される厚さとの関係を示す図である。図5(a)を見ると、雰囲気ガスが100% $\text{O}_2$ である場合950℃以上であれば、拡散長が消費率を常に上回っていることがわかる。

【0049】ただし、酸化直後の消費率を見ると、950℃以上においても拡散長と同程度の値であり、酸化直後においては界面にGeがある程度蓄積する。蓄積領域の膜厚が臨界膜厚より十分薄ければ問題ないが、同程度か厚くなった場合には転位が発生する。この様な酸化直後における転位発生リスクを低減するためには、温度を変えずに(即ち拡散長を変えずに)消費率を小さくしてやればよい。そのために、雰囲気ガスとして不活性ガスで希釈した酸素ガスを用いることが望ましい。消費率はほぼ酸素分圧に比例するので、50%に希釈した酸素ガスを用いると消費率はほぼ半分になり、拡散長に対して十分大きなマージンが得られる(図5(b))。そのため50%以下に希釈した酸素ガスを用いることが望ましい。

【0050】また、本発明の第1及び第2の製造方法によれば、Si酸化膜が粘性流体的になり、SiGe層とSi酸化膜との界面が滑りよくなり、SiGe層のGe組成の増大に伴う格子定数の増大が妨げられない。これらの効果により、転位を発生することなくGe濃縮と薄膜化と格子緩和を同時に達成できる。また、表面の荒れも少なくなる。

【0051】以上の結果、得られたSiGe層上にさらにチャネル層を形成した際に従来の方法に比べて転位密度の低いチャネル層を得ることが出来るので、キャリアの移動度を高く保つ事ができ、かつリーク電流を抑制できる電界効果トランジスタを提供することができる。

【0052】

【実施例】(実施例1) 図6に、第1の実施例の電界効



果トランジスタの概略図を示す。本実施例は、支持基板11として(001) Si基板を用い前記支持基板上に絶縁膜12である埋め込み酸化膜、第1の半導体層であるSiGeバッファ層13、第2の半導体層であるひずみGeからなるチャネル層14、Siキャップ層15が積層されてなる半導体基板16にゲート絶縁膜17、ゲート電極18が順次積層されている。SiGeバッファ層13とチャネル層14におけるゲート領域の両端にはソース、ドレイン電極にオーミック接触を得るためのソース領域及びドレイン領域19および金属との反応層20が形成されている。

【0053】本発明に係る電界効果トランジスタにおいては、支持基板11として用いるSi基板11の面方位としては、(001)だけではなく、他の面方位、例えば(111)基板、(110)基板を用いても良い。

【0054】本発明に係る電界効果トランジスタにおいては、チャネル層14の厚さは3nm以上の厚さがあることが望ましい。3nm以上の厚さが必要である理由は、キャリアの大部分をチャネル層14中に閉じ込めるためである。すなわち、ゲート絶縁膜17直下に形成される反転層チャネルの深さ方向の幅が5nm程度であり、Siキャップ層15の厚さを考慮してもチャネル層14の厚さは少なくとも3nmは必要となる。

【0055】また、チャネル層14の膜厚はSiGeバッファ層13のGe組成に応じた臨界膜厚によって上限が存在する。例えば、Ge組成が70atm%の時、チャネル層14厚の上限は5nmとなる。

【0056】本発明に係る電界効果トランジスタにおいては、SiGeバッファ層13の厚さは原理的には任意に設定しえる。しかしゲート長が100nm以下の電界効果トランジスタを作製する場合、短チャネル効果を抑制するためにチャネル層14とSiGeバッファ層13を合わせた膜厚はチャネル領域において35nm以下であることが望ましい。

【0057】本発明の電界効果トランジスタは、SiGeバッファ層13のGe組成は30atm%以上である。SiGeバッファ層13に含まれるGe組成が30atm%未満であるとチャネル層14のひずみが大きくなり3nm以上の厚さで平坦な膜が得られなくなるからである。

【0058】さらに望ましくは60atm%以上が望ましい。SiGeバッファ層13のGe組成が60atm%未満の場合、チャネル層14を3nm以上積層すると、チャネル層4に転位が生じる可能性があるからである。これは、SiGeバッファ層13のGe組成60atm%に対するGeの熱力学的臨界膜厚が3nmだからである。

【0059】更に望ましいGe組成の範囲は、60atm%以上80atm%以下である。この上限値80atm%は、ひずみによる正孔移動度の増大の効果を享受す

るための設定値である。すなわち、Ge組成が80atm%以下であると、チャネル層14に加えられるひずみの影響で、正孔のフォノン散乱移動度が、無ひずみのGeに対する移動度の2倍以上になる。

【0060】本発明の電界効果トランジスタにおいてはチャネル層14はSiGeバッファ層13より多くGeを含むSiGe層もしくはGe層である。チャネル層14のGe組成が高いほどキャリア移動度が高くなるのでGe層からなるチャネル層が最も望ましい。

【0061】本発明に係る電界効果トランジスタにおいては、チャネル層14の表面を保護するためにチャネル層14とゲート絶縁膜17との間に極薄のSiキャップ層15が積層されていることが望ましい。チャネル層14上のSiキャップ層15は、トランジスタの製造工程におけるGe表面の酸化を防ぐ。さらに、ゲート絶縁膜17との界面がチャネル層14中に形成される事を防ぎ、もって界面準位の増大を防ぐ。またSiキャップ層15の膜厚は、転位を生じさせないため、2nm以下であることが望ましい。これはSiGeバッファ層13のGe組成が80atm%の場合のSiキャップ層の熱力学的臨界膜厚は2nmであるからである。

【0062】さらに、このSiキャップ層15厚は薄いほど好ましいが、膜厚の揺らぎ等を考慮すると0.5nm以上の膜厚であることが望ましい。

【0063】Siキャップ層15のない構造も可能である。この場合、ゲート絶縁膜17として、後述する材料のほか、Ge窒化膜を用いる事も出来る。このGe窒化膜は、CVDによる堆積の他、Ge表面を直接アンモニアガスや窒素ガスを用いて窒化することでも得られる。

【0064】本発明に係る電界効果トランジスタにおいてゲート絶縁膜17としては、図7のようなZrシリケート/ZrO<sub>2</sub>の積層膜を用いることができる。図7においてZrシリケート層21上にZrO<sub>2</sub>層22が積層されている。ここでシリケートとはSiO<sub>2</sub>中にZr, Hf, Laなどの金属が固溶した物質である。

【0065】また、ゲート絶縁膜17の材料としてはSi酸化膜(SiO<sub>2</sub>)はもちろん、Si窒化膜(Si<sub>3</sub>N<sub>4</sub>)、Si酸窒化膜(SiO<sub>x</sub>N<sub>y</sub>)、Al<sub>2</sub>O<sub>3</sub>、Ta<sub>2</sub>O<sub>5</sub>、TiO<sub>2</sub>、Y<sub>2</sub>O<sub>3</sub>等の高誘電体ゲート絶縁膜も用いる事が出来る。

【0066】ソース領域及びドレイン領域19の膜厚はゲート長100nm以下の場合35nm以下に抑えなければならない。このときそのままではソース・ドレイン領域が薄いことに起因する寄生抵抗が増加する。これを抑えるため、ソース・ドレイン領域はゲート側壁下部近傍までSiおよびGeと金属(Co, Ti, Ni)との化合物20(シリサイド、ジャーマニド)とすることにより抵抗を低く抑えることができる。

【0067】ゲート電極18としては、p型またはn型にドーピングされたポリSiまたはポリSiGeを用い

る事ができる。Wなどの金属を用いる事も可能である。

【0068】次に、本実施例の電界効果トランジスタの製造方法を図8を用いて説明する。

【0069】まず、支持基体であるSi層31上に埋め込み酸化膜32およびSOI膜33が形成されたSOI基板34 (SOI膜33の厚さ20nm) 上に、UHV-CVD法またはMBE法またはLP-CVD法にて $\text{Si}_{0.9}\text{Ge}_{0.1}$ 膜35を56nm、Si層36を5nmエピタキシャル成長する。この時、各膜厚は成長温度における臨界膜厚を未満とすることにより、転位は生じない[図8(1)]。このときSOI基板34の代わりにSi基板上に酸化膜を形成した基板、Si基板上に酸化膜及びSiGe層を順次形成した基板を用いても良い。

【0070】つぎに、このウェハを酸化炉に投入して加熱し、酸化処理を行う。それにより $\text{Si}_{0.9}\text{Ge}_{0.1}$ 膜35よりも多くGeを含有するSiGe層( $\text{Si}_{0.9}\text{Ge}_{0.7}$ 層)37とSi酸化膜38が形成される。加熱は酸素で50%に希釈した酸素ガスを用いて1000℃にて16時間、生成したSiGe層37が8nmになるまで酸化を行う。あるいは、1000℃、50%酸素で3時間酸化後、100%酸素に切り替えてあと8時間20分酸化する。あるいは、1050℃、50%酸素で1時間23分酸化後、温度を1000℃に下げ、100%酸素で8時間20分酸化する。酸化の結果、SiGe層37のGe組成は70atm%に濃縮される[図8(2)]。

【0071】ここで、酸化温度はSiGe層37の融点を超えないように注意しなければならない。本実施例のように、Ge組成70atm%の多くGeを含有するSiGe層37を得るためには、最終的な酸化温度は1025℃以下でなければならない。酸化時間を短縮するためには、SiGe層37中のGe組成に応じた融点を超えない範囲で、始めは温度を高く設定し、徐々に、あるいは段階的に温度を下げていくのが有効である。

【0072】次に、Si酸化膜38を剥離、表面洗浄の後、再びUHV-CVD法またはMBE法またはLP-CVD法にて厚さ5nmの $\text{Si}_{0.9}\text{Ge}_{0.7}$ の組成を有するSiGeバッファ層37、厚さ5nmのGeからなるGeチャネル層39を順次形成する。

【0073】引き続き、Geチャネル層39上にSiキヤップ層としてアモルファスSi層40を2nm堆積する。アモルファスSiを堆積するためには、基板温度を300℃以下に下げたからSi原料(Si原子またはシランガスまたはジシランガス)を供給すればよい[図8(3)]。Geチャネル層39上にSi層40をアモルファス状態で堆積することにより、格子不整合に起因する表面の凹凸やアイランドの形成を防ぎ、平坦な表面を得ることが出来る。このアモルファスSi層は後工程で結晶化するが、その際Si層表面は酸化膜で覆われてい

るため、Siが結晶化する際にも表面の平坦性は保たれる。したがって、電界効果トランジスタを形成した際、キャリアの移動度を高く保つ事ができる。

【0074】一方、Geチャネル層39上にSiを直接エピタキシャル成長すると、格子不整合に起因する表面の凹凸やアイランドが形成されてしまうため望ましくない。

【0075】次に、塩酸・過酸化水素混合液でアモルファスSi層40表面に0.5nm程度のSi酸化膜(図示せず)を形成後、ゲート絶縁膜として $\text{ZrO}_2$ 膜41をレーザーアブレーション、またはスパッタ法にて堆積し、引き続きポリSiGeゲート電極42を堆積する[図8(4)]。この時、基板温度が500℃以上になるので、アモルファスSi層40は固相成長して結晶化する。

【0076】このようにして得られたウェハにソース・ドレイン領域43などを形成し、通常のMOSFETプロセスと同様にしてトランジスタに加工する[図8(5)]。

【0077】ここで、図8(2)に示す高Ge組成のSiGe層37を有する構造を得るための別の方法を示す。まず、Si基板上に厚さ1μmの傾斜組成 $\text{Si}_{1-x}\text{Ge}_x$ 層( $x=0\rightarrow0.1$ )、厚さ1.5μmの $\text{Si}_{0.9}\text{Ge}_{0.1}$ 層、厚さ20nmのSi層をUHV-CVD法またはMBE法またはLP-CVD法にて積層する。

【0078】つぎに、酸素イオンを加速電圧160 keV、ドーズ量 $4\times 10^{17}$  atoms/cm<sup>2</sup>注入し、900℃で表面に熱酸化膜を10nm以上形成する。酸素イオンを打ち込むSiGe層のGe組成が10atm%と低いのは、連続的で均一な埋め込み酸化膜を得るためである。Ge組成が30atm%以上では、この方法で連続的な埋め込み酸化膜を得ることは出来ない[Y. Ishikawa et al., Appl. Phys. Lett., 75, 983 (1999)]。

【0079】つぎに酸素をわずか(0.5%)に含むアルゴンガス雰囲気中で1300℃、4時間アニールすると、酸化膜-SiGe界面から300nm基板側に埋め込み酸化膜が形成される。この埋め込み酸化膜からはGeが排除され、ほぼ純粋な $\text{SiO}_2$ となる。次に、該ウェハを弗酸・硝酸混合液にてSiGe層が56nmになるまでエッチングする。

【0080】次に、酸素雰囲気中でSiGe層が8nmになるまで酸化するとGe組成が70atm%にまで増大し、図8(2)の構造ができる。

(実施例2)図9に、第2の実施例の電界効果トランジスタの概略図を示す。本実施例においては、ソース・ドレイン領域の膜厚が薄いことに起因する寄生抵抗の増加を抑えるため、実施例1の図6に示すトランジスタにお

いて、ソース・ドレイン領域19の表面を選択CVD法によりAlまたはWの薄膜50で覆っている。

【実施例3】図10に、第三の実施例の電界効果トランジスタの概略図を示す。本実施例においては、寄生抵抗を抑えるため、実施例1の図6に示すトランジスタにおいて、ソース・ドレイン領域19の上に選択的にSiO<sub>2</sub>層51を堆積し、ソース・ドレイン領域厚を100nmまで厚くしている。この構造を作製するためには、一旦全面にSiO<sub>2</sub>マスクを堆積した後、ソース・ドレイン領域上部表面のみを露出させ、選択CVD法によりSiGe層を堆積すればよい。

【実施例4】図11に、第四の実施例の電界効果トランジスタの概略図を示す。本実施例は、実施例1の図6に示すトランジスタにおいて、SiGeバッファ層13が2層構造となっている。酸化によって形成されたGe組成55atm%、厚さ5nmの第1のバッファ層52上にGe組成75atm%、厚さ10nmの第2のバッファ層53が積層されている。本実施例によれば、Geチャネルに加えられるひずみが、第2のバッファ層の存在により第1のバッファ層だけの場合に比べ増大する。したがって、第1の実施例に比べ、第1のバッファ層のGe組成を低く抑える事が出来るので、酸化時の膜厚制御のマージンが増大し、歩留まりが向上する。

【0081】なお、この実施例の変形例として、第2のバッファ層のGe組成が表面に近づくにつれて連続的、または段階的に増大する構造も可能である。

【実施例5】図12に、図6に示す第1の実施例に示す電界効果トランジスタをCMOSインバータに適用した例を示す。pチャネルとnチャネルのMOSFETは埋め込み酸化膜に達するトレンチ(溝)によって絶縁されている。また、基板11は閾値を調整するためのバックゲートとして機能するようにバイアスされている。

【0082】

【発明の効果】以上述べた如く本発明の半導体装置及び半導体基板によればSi-MOSFETよりも低消費電力で高速動作が可能なMISFETを得ることが出来る。また、これらのMISFETを用いて、従来よりも低消費電力で高速動作が可能な集積回路が得られる。

【0083】本発明の半導体基板の製造方法によれば、転位密度の低い、かつ格子緩和した高Ge組成のSiGe層が形成される。

【図面の簡単な説明】

【図1】 本発明に係る電界効果トランジスタの一例を示す概略図。

【図2】 第1の従来技術と本発明に係る電界効果トランジスタにおけるソース領域またはドレイン領域部分のpn接合部分の拡大図。

【図3】 本発明と第2の従来技術に係る電界効果トランジスタのチャネル層近傍におけるバンド構造を示す図。

【図4】 本発明にかかる半導体基板の製造方法におけるSiとGeを含む半導体層を酸化中のGe組成分布を説明する図。

【図5】 Si中のGe原子の拡散長と、酸化により単位時間あたりにSiGeが消費される厚さとの関係を示す図。

【図6】 第1の実施例の電界効果トランジスタの概略図。

【図7】 ゲート絶縁膜の一例を示す概略図。

【図8】 本実施例の電界効果トランジスタの製造方法を示す工程図。

【図9】 第2の実施例の電界効果トランジスタの概略図。

【図10】 第三の実施例の電界効果トランジスタの概略図。

【図11】 第四の実施例の電界効果トランジスタの概略図。

【図12】 第1の実施例に示す電界効果トランジスタをCMOSインバータに適用した例を示す概略図。

【図13】 第1の従来例の電界効果トランジスタ構造を示す概略図。

【図14】 第2の従来例の電界効果トランジスタ構造を示す概略図。

【図15】 第2の従来例のトランジスタとSi-MOSFETの電流(log(I<sub>d</sub>))-電圧(V<sub>g</sub>)の関係を示す特性図。

【図16】 第2の従来例のトランジスタとSi-MOSFETの(V<sub>g</sub>(ゲート電圧)-V<sub>th</sub>(閾値電圧))-電流の関係を示す特性図。

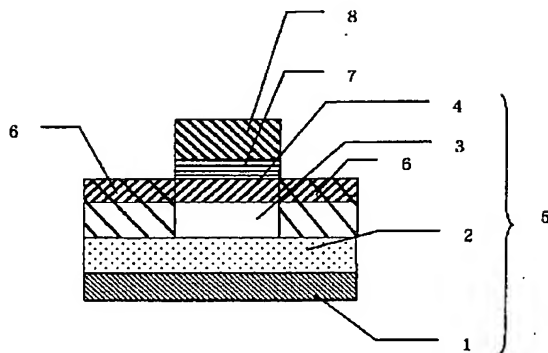
【符号の説明】

- 1・・・支持基体
- 2・・・絶縁膜
- 3・・・SiGeバッファ層3(第1の半導体層)
- 4・・・チャネル層(第2の半導体層)
- 5・・・基板
- 6・・・ソース領域、ドレイン領域
- 7・・・ゲート絶縁膜
- 8・・・ゲート電極
- 11・・・支持基体
- 12・・・絶縁膜
- 13・・・第1の半導体層(SiGeバッファ層)
- 14・・・第2の半導体層(ひずみGeからなるチャネル層)
- 15・・・Siキャップ層
- 16・・・半導体基板
- 17・・・ゲート絶縁膜
- 18・・・ゲート電極
- 19・・・ソース領域及びドレイン領域
- 20・・・金属との反応層20が形成されている。
- 31・・・Si層

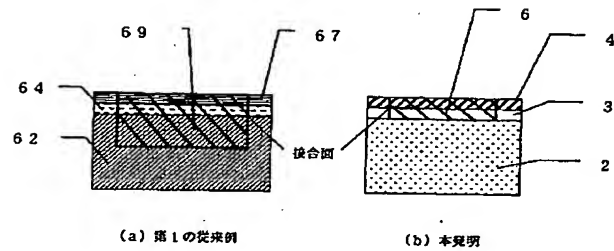
- 32・・・埋め込み酸化膜  
 33・・・SOI膜  
 34・・・SOI基板  
 35・・・ $\text{Si}_{0.9}\text{Ge}_{0.1}$ 膜  
 36・・・Si層  
 37・・・高G組成のSiGe層( $\text{Si}_{0.3}\text{Ge}_{0.7}$ 層)

- 37・・・SiGeバッファ層  
 38・・・Si酸化膜  
 39・・・Geチャネル層  
 40・・・アモルファスSi層  
 41・・・ゲート絶縁膜  
 42・・・ゲート電極

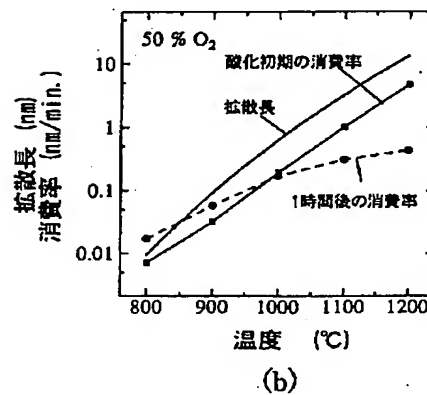
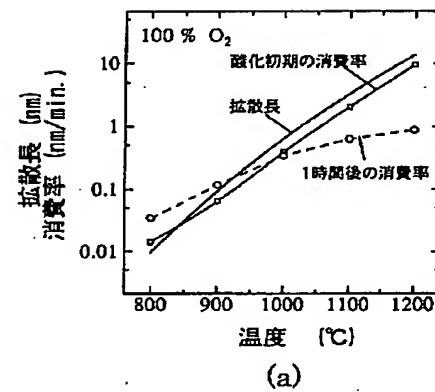
【図1】



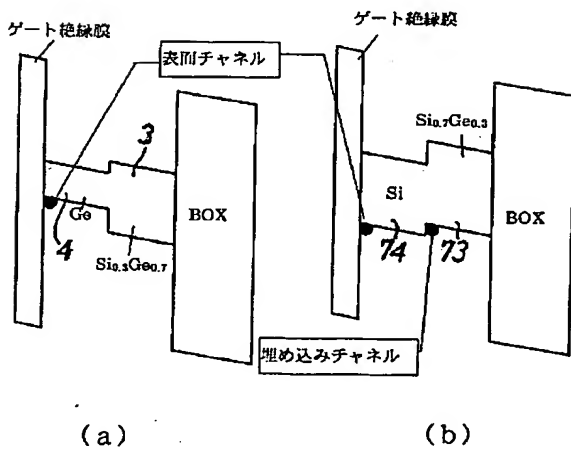
【図2】



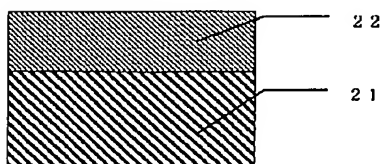
【図5】



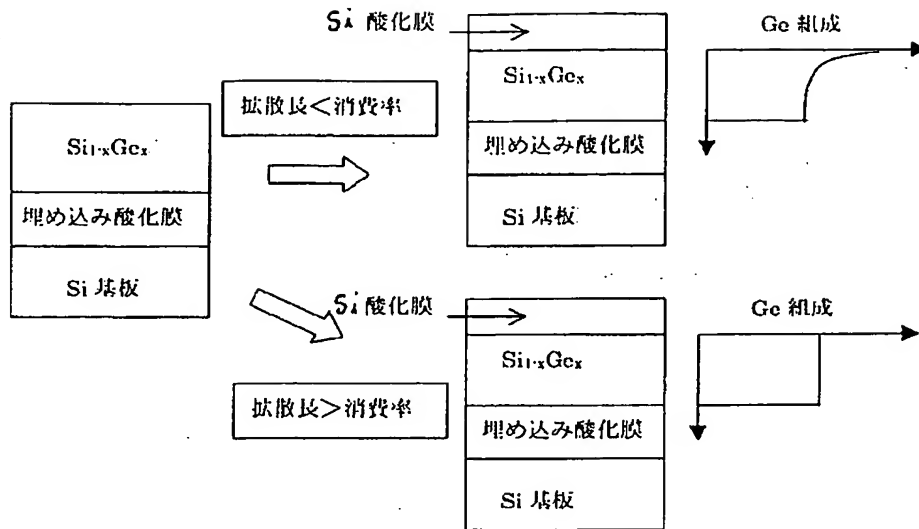
【図3】



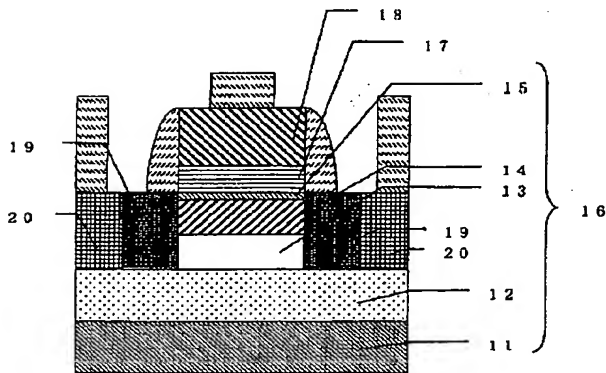
【図7】



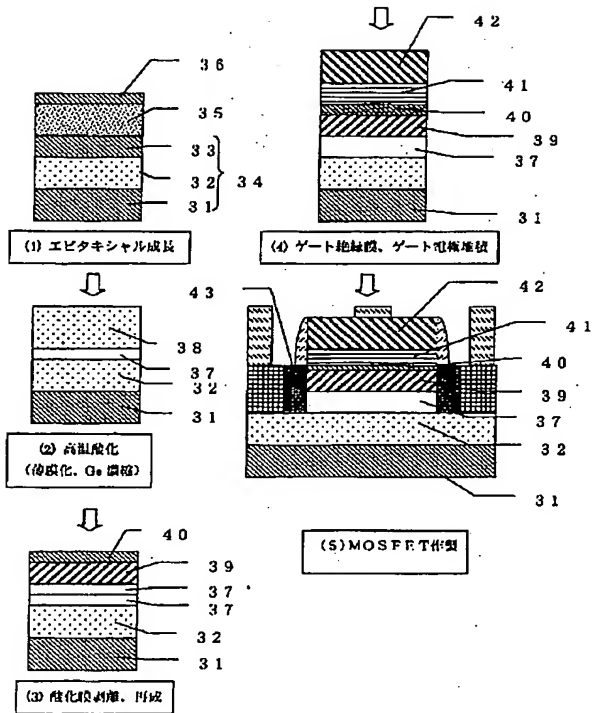
【図4】



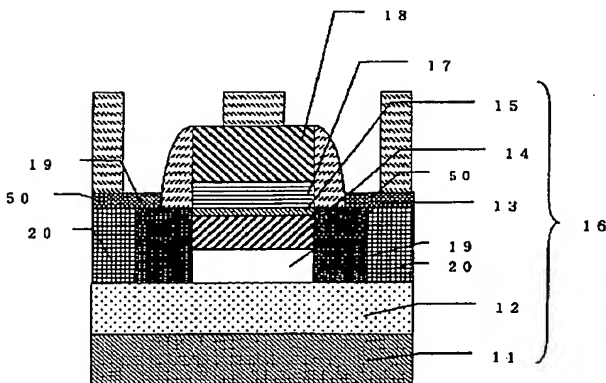
【図6】



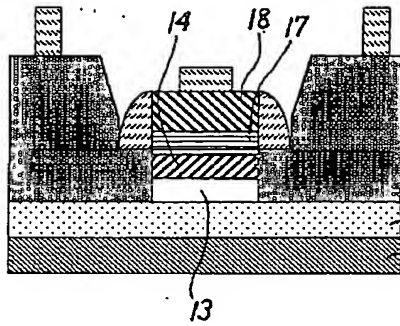
【図8】



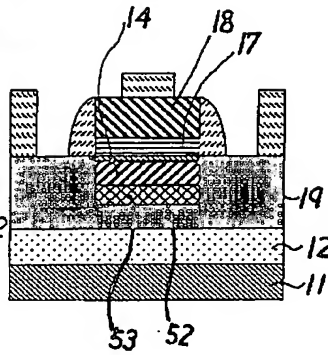
【図9】



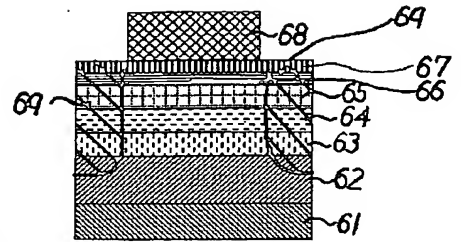
【図10】



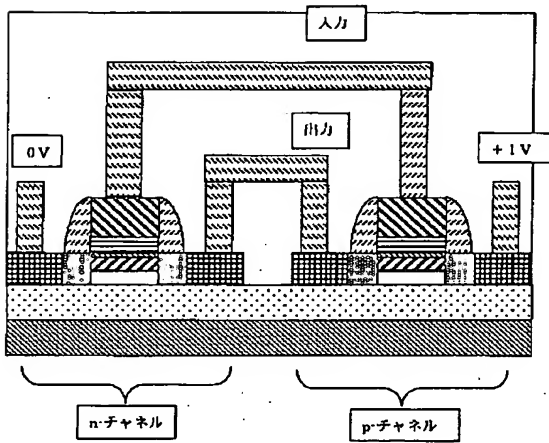
【図11】



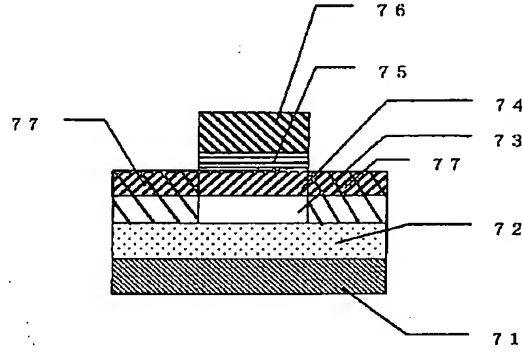
【図13】



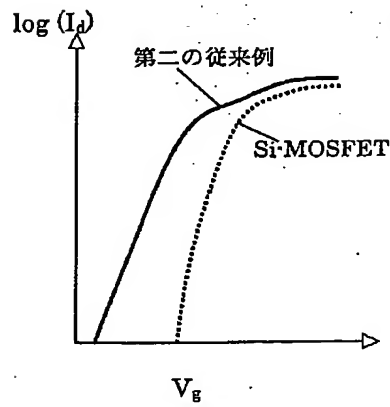
【図12】



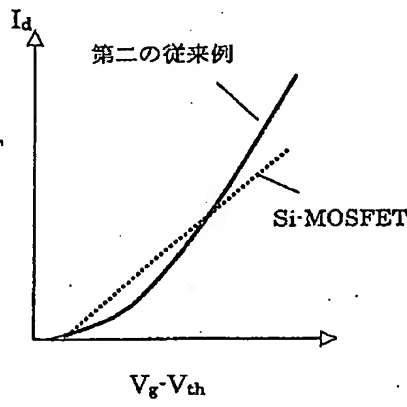
【図14】



【図15】



【図16】



フロントページの続き

-(51)Int. Cl.<sup>7</sup>

識別記号

F I  
H 0 1 L 29/78

タームコード (参考)  
6 1 8 E

F ターム (参考) 5F048 AA08 AB03 AC04 BA14 BA16  
BB06 BB09 BD05  
5F110 AA01 AA06 AA09 BB04 CC02  
DD05 DD13 EE04 EE08 EE09  
EE30 FF01 FF02 FF03 FF04  
FF07 FF09 FF26 FF27 FF28  
FF29 GG01 GG02 GG03 GG06  
GG07 GG13 GG19 GG24 GG28  
GG42 GG44 GG47 GG57 HK03  
HK04 HK05 HK34 HM19 NN62  
NN65 PP01